

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-195108

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月26日

H 03 F 3/60  
H 01 L 27/04  
27/095  
H 01 P 5/08  
H 03 F 3/19

V 8836-5J  
7514-5F  
L 7741-5J  
8326-5J  
7735-5F

H 01 L 29/80

E

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平1-334144

⑰ 出 願 平1(1989)12月22日

⑱ 発 明 者 江 森 文 章 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 尾身 祐助

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

半絶縁性化合物半導体基板の一主面上に設けられた電界効果トランジスタと、前記半絶縁性化合物半導体基板の一主面上に設けられた前記電界効果トランジスタに対する整合回路とを具備する半導体集積回路において、前記整合回路は、複数に分割されたマイクロストリップ線路と、ゲート電極が外部端子に接続され、前記複数に分割されたマイクロストリップ線路のうちの一部のものを高周波的に短絡することのできるスイッチングトランジスタおよび/またはゲート電極が外部端子に接続され、前記複数に分割されたマイクロストリップ線路のうちの一部のものを他の部分から遮断することのできるスイッチングトランジスタとを有することを特徴とする半導体集積回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体集積回路に関し、特に、ガリウム砒素(GaAs)あるいはインジウムリン(InP)等の半絶縁性化合物半導体基板上に形成されたマイクロ波モノリシック集積回路(以下、MMICと記す)に関する。

[従来の技術]

半絶縁性化合物半導体基板の主面上に、電界効果トランジスタ(以下、FETと記す)構造を有する能動素子と、この能動素子の機能を発揮させるような受動素子による整合回路とを設けたMMICは、高周波特性に優れ、小型化、低価格化が可能であることから、現在、数10GHz領域において実用化されつつある。

第3図は、従来のMMICを説明するための回路図である。

マイクロ波帯で動作するMES構造のFETQ1のゲート側とドレイン側に、マイクロストリップ線路をはしご型に接続して構成されたインピー

ダンス変換回路が、それぞれ入力整合回路1、出力整合回路2として配置されている。第3図の従来例では、入力整合回路1は、FETQ1のゲート側においてトランスマッションライン3、ショートスタブ4で構成されており、また、出力整合回路2も、FETQ1のドレイン側において、トランスマッションライン5、ショートスタブ6で構成されている。そして、上記各整合回路は、ICチップ毎に画一的に形成されたものである。従来例のMMICは単機能的なものであった。

このMMICにおいて、上記各整合回路は、半導体基板上への薄膜金属の堆積とフォトリソグラフィにより形成されるものである。構成素子の形状、位置を極めて正確にコントロールすることができる。したがって、上述のMMICは、ディスプレイ部品により構成された回路に比べて均一な回路特性を有する。

〔発明が解決しようとする課題〕

上述した従来例のMMICは、回路定数が均一に形成できるので、画一的製品を大量に製造するの

に向いている。しかし、マイクロ波における回路の特性要求は画一的ではなく、例えば、周波数帯域に対する要求が12.0GHz～12.3GHz、12.2GHz～12.5GHzのように異なったり、また、整合状態として、低雑音整合、高利得整合、高出力整合のように異なったものが要求される。

従って、MMICにおいては、同一規格のものを量産できる場合はほとんどなく、類似しながら少しずつ異なった仕様のものが求められることが多い。そのため、従来技術にあっては、MMIC本来の量産性、低価格性の特長を十分に生かすことができなかった。さらに、従来例のMMICはその機能が単機能的であることからMMICが組み込まれた装置の回路状態に応じて機能を切り換えることは不可能なことであった。

〔課題を解決するための手段〕

本発明の半導体集積回路は、半絶縁性化合物半導体基板の主表面上に形成された電界効果トランジスタと、前記半導体基板上に形成された前記電

界効果トランジスタに対する整合回路とを具備するものであって、前記整合回路は、複数に分割されたマイクロストリップ線路と、ゲート電極が外部端子に接続され、前記複数に分割されたマイクロストリップ線路のうちの一部のものを高周波的に短絡することのできるスイッチングトランジスタおよび／またはゲート電極が外部端子に接続され、前記複数に分割されたマイクロストリップ線路のうちの一部のものを他の部分から遮断することのできるスイッチングトランジスタとを有するものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の第1の実施例を説明するMMICの回路図である。第1図において、MES構造のFETQ1のゲート側とドレイン側に、マイクロストリップ線路をはしご型に接続して構成されたインピーダンス変換回路が、入力整合回路1、出力整合回路2として配置されている。

本実施例において、MES型FETQ1はゲート長0.5 $\mu$ m、ゲート幅280 $\mu$ mに形成されている。このFETQ1のゲート側には、特性インピーダンス120 $\Omega$ のマイクロストリップ線路を波長の1/10相当の長さとしたトランスマッションライン3と特性インピーダンス30 $\Omega$ のマイクロストリップ線路によるショートスタブとで構成された入力整合回路1が配置されている。このうちショートスタブ機能部は、波長の1/10相当の長さのスタブ4aと波長の1/20相当の長さのショートスタブ4bとの直列回路で構成されるが、この回路には、さらに、スタブ4aの一端を接地端子に接続するゲート長0.5 $\mu$ m、ゲート幅1000 $\mu$ mのMES型スイッチングFETQ2と、スタブ4aとショートスタブ4bとの間に挿入されるゲート長0.5 $\mu$ m、ゲート幅1000 $\mu$ mのMES型スイッチングFETQ3とが付加されている。

スイッチングFETQ2、Q3のゲートは、スイッチ切り換えのために外部端子に接続され、0

V (ON 状態となる) 乃至  $-5V$  (OFF 状態となる) の制御電圧が印加される。

このように構成されたMMICにおいては、FETQ2、Q3のゲート電圧を切り換えることにより、入力整合回路におけるスタブを実効的に波長の $1/10$ または $3/20$ 相当の長さのショートスタブに、あるいはオープンスタブに切り換えることができるので、このMMICを異なった特性が要求される回路に用いることができる。

第2図は、本発明の第2の実施例を示す等価回路図である。本実施例では、入力整合回路1をMES型FETQ1のゲート側において、トランスミッションラインとショートスタブ4と構成するに際して、トランスミッションライン機能部をライン3a、ライン3bおよびライン3cの3スタブとライン3aとライン3cとの間を接続するスイッチングFETQ4とによって構成している。このトランスミッションラインにおいて、ライン3aおよびライン3bはそれぞれ特性インピーダンス $120\Omega$ のマイクロストリップ線路を波長の

$1/20$ 相当の長さとし、ライン3cを特性インピーダンス $120\Omega$ のマイクロストリップ線路を波長の $1/10$ 相当の長さとしたラインにより構成し、スイッチングFETQ4は、ゲート長 $0.5\mu m$ 、ゲート幅 $1000\mu m$ のMES型FETを使用する。このFETQ4のゲートは先の実施例と同様に外部端子に接続される。

なお、上記実施例では、入力側のみの整合回路を切り換えるようにしていたが、出力側も切り換え可能とすることができる。

#### [発明の効果]

以上説明したように、本発明は、MMICにおいて整合回路を複数に分割されたマイクロストリップ線路と、このマイクロストリップ線路のうちの一部のものを高周波的に短絡することのできるスイッチングFETおよび/または一部のマイクロストリップ線路を他の回路部分から遮断することのできるスイッチングFETとにより構成したものである。本発明によれば、外部から上記FETのゲート電圧を切り換えることにより、整

合回路の電気的定数を電気的に切り換えて使用することができる。したがって、本発明によれば、同一種類のICを例えば低雑音増幅器と高利得増幅器に、あるいは $12.0 \sim 12.3GHz$ 増幅器と $12.2 \sim 12.5GHz$ 増幅器に切り換えて使用することができるので、同一種類のMMICのまとまった生産が可能となり、量産によるコスト低減効果が得られる。

また、このMMICを用いる装置内に信号検出回路を設け、この検出信号を処理してMMICの外部制御端子に戻すことによりシステムの機能切り換えも自動的に<sup>に</sup>行えるので、システムアプリケーションも広げることができる。

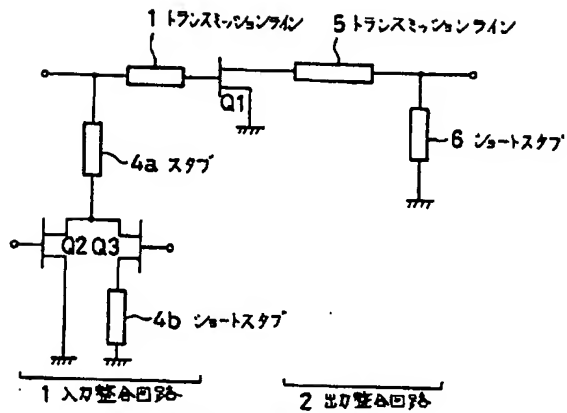
#### 4. 図面の簡単な説明

第1図、第2図は、それぞれ本発明の実施例の等価回路図、第3図は、従来例の等価回路図である。

Q1…MES型FET、Q2～Q4…MES型スイッチングFET、1…入力整合回路、

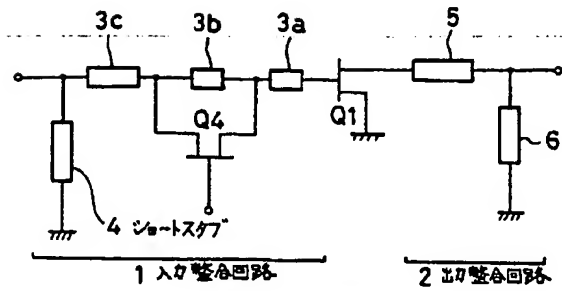
2…出力整合回路、3、5…トランスミッションライン、3a、3b、3c…ライン、4、4b、6…ショートスタブ、4a…スタブ。

代理人 非理士 尾身祐助



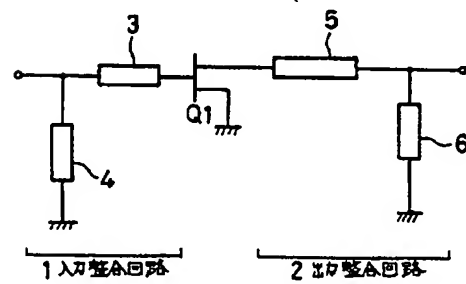
第 1 図

Q1...MES 型 FET  
Q2, Q3...MES 型スイッチング FET



第 2 図

Q4...MES 型スイッチング FET



第 3 図